

# デジアナ混載 IC、ミックスド・シグナル IC 設計の留意点

2005 年 5 月 初版

2010 年 10 月 改訂

作成：アナロジスト社 森本 浩之

**まえがき** デジタル・アナログ混載 IC の回路本来の実力を引き出すためにはアナログ回路とデジタル回路の不要な干渉を抑える必要があります、ノウハウを要します。ですが十分な理解と注意の元で設計を行えばさほど混載を恐れる必要もありません。

## ■ 用語

- **IP: Intellectual Property** (知的財産) の略です。回路ブロックなどの設計資産の呼称にしばしば用いられます。
- **セル** : IC の世界では回路ブロックの事をこう呼びます。一般に IP より広範な意味で用いられます。
- **バルク** : MOS トランジスタの基板端子の呼称です。他にもサブストレート、バックゲート、ボディと呼ばれたりしますが、ここではバルクの名称を用います。
- **ダブル・ボンディング、ダブル・ワイヤリング** : 2 つの IO パッドからのワイヤーを一つのリードフレーム (IC 端子) に接続するパッケージ工程の配線方法です。
- **ESD(Electro Static Discharge)** : 静電気放電の意で一般的に IC などの電子デバイスの電氣的衝撃に対する耐性を議論する際に使用されます

## ■ 基本的なノイズ発生メカニズムとその対策

### ● 電源・GND バウンス

CMOS デジタル回路におけるスイッチング動作に伴い、駆動 MOS トランジスタのソース／ドレインに過渡的な充放電電流、及び貫通電流が生じます。これが電源、GND に流れ込む際、配線の抵抗成分、及びインダクタンス成分によって電源電圧／GND 電圧のバウンスが生じます。この変動がアナログ回路の電源、GND 部に回り込み、アナログ特性劣化につながる事がしばしばあります。

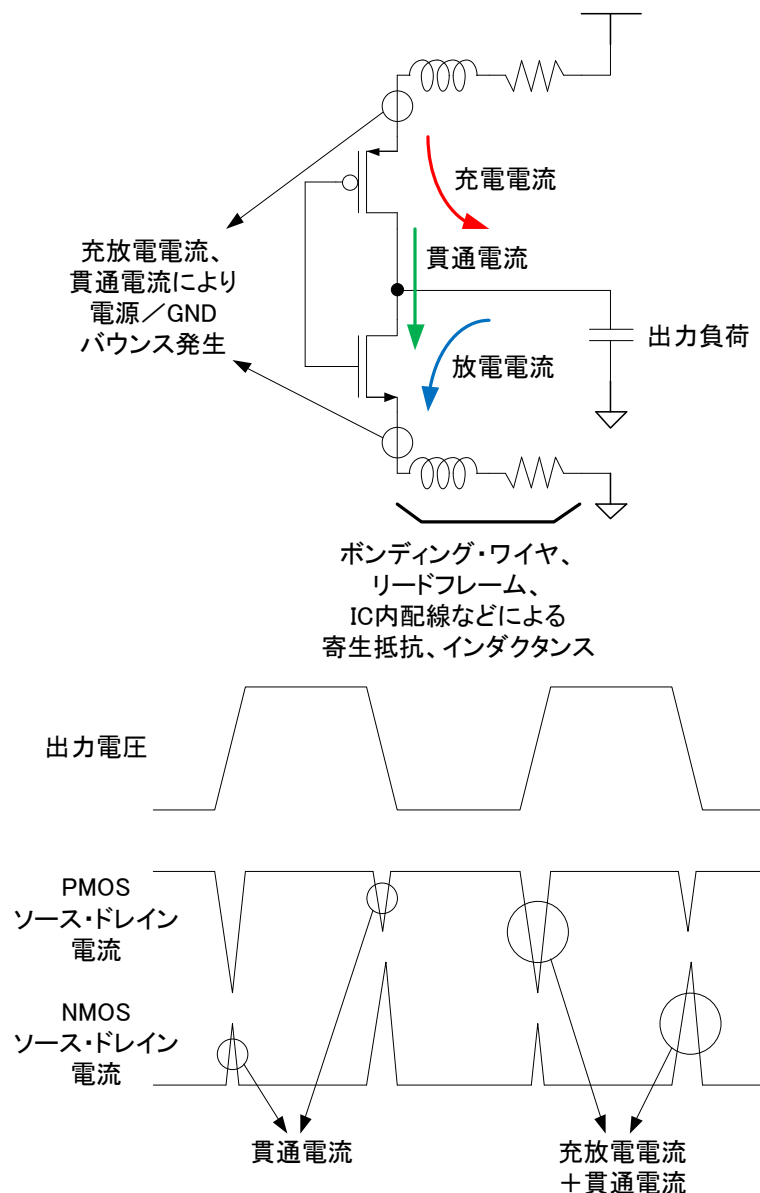


図 1 スイッチング動作に伴う電源/GND ノイズの発生

## ● クロストーク

デジタル信号配線とアナログ信号配線の重なり、隣接はピン配置を再考してでも避けるべきです。通常動作時にスイッチング動作を起こさないデジタル回路からの制御信号（イネーブル等）は隣接させても問題ないと考えられるかもしれませんが。ですがデジタル電源/GND の様なノイズの多い電源/GND を使用している場合、ノイズ回り込みにより数 10mV 程度のノイズ成分を持つ場合があるため、これにも注意を要します。

重なりがどうしても避けられない場合は 2 層以上離し、間にアナログ GND に接続されたシールド配線を追加するレイアウトにより干渉を低減する対策があります。

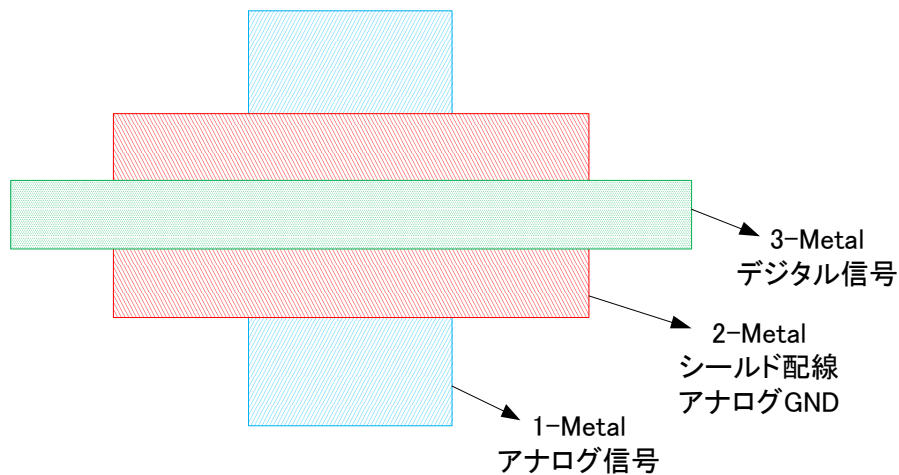


図 2 デジタル信号とアナログ信号の干渉低減レイアウト

## ■ 仕様／設計による対策

### ● 差動信号の使用

(+) 信号と (-) 信号のペアで信号処理を行う差動信号は差分量がアナログ情報となるため、外部ノイズ、電源ノイズに強くなります。アンプ回路、A/D コンバーター、D/A コンバーターについては差動タイプの IP 使用を推奨します。但し、回路構成によっては差動構成が面積、消費電力の増大につながる場合もあります。

### ● 電源分離

デジタル電源/GND とアナログ電源/GND に関しては別ピンを用意します。アナログに関して A/D コンバーター、D/A コンバーターのようにデジタル部が小さくない場合は、さらに別の電源/GND 端子を確保するようにします。端子数の都合により電源/GND 端子を増やせない場合はダブル・ボンディングの使用を推奨します。

### ● デジタル出力 IO セルの低ノイズ化

チップ内の負荷は数 fF 程度の容量であるのに対し、チップ外の負荷は数 pF～数十 pF にもなるため駆動電流も桁違いとなります。このため電源/GND バウンスも大きくなり、アナログ回路特性に悪影響を及ぼします。最大のノイズ源と言って差し支えありません。デジタル IO セルから発生するノイズ拡散を低減するには MOS のソース端子、バルク端子の電源/GND 端子を別々に用意する方法があります。これによりソース・ドレイン間電流によりソース端子に発生する電圧バウンスをバルク VDD/VSS によって抑制する事が出来ます。

端子数制約が厳しい場合はダブル・ボンディングの使用も考えられます。

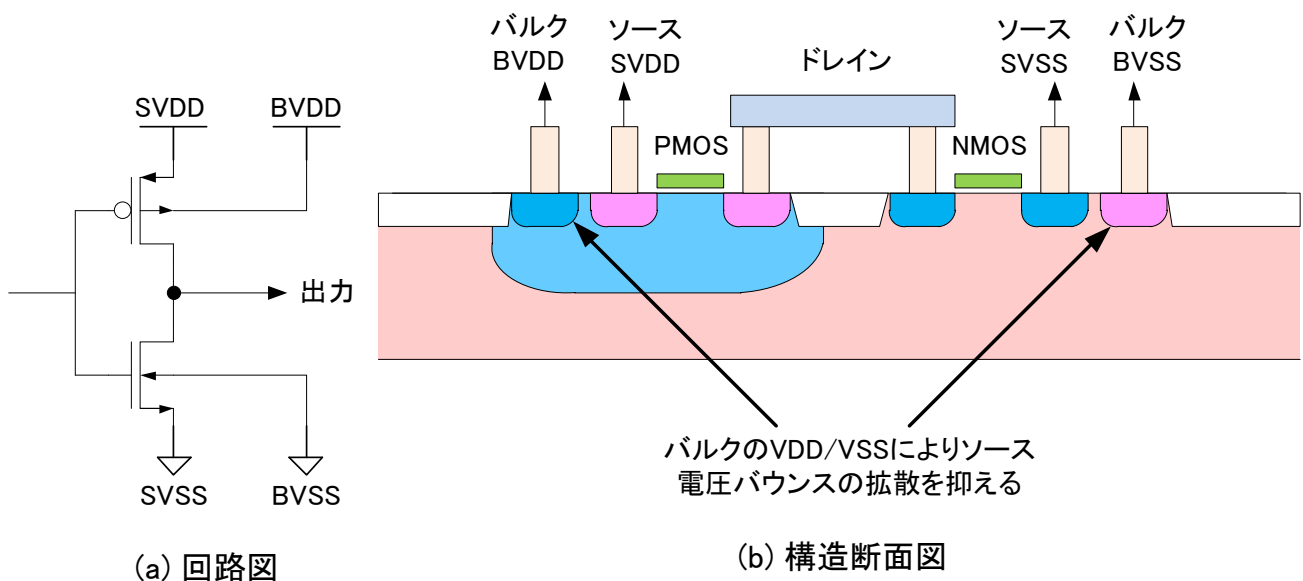


図 3 デジタル出力 IO セルのノイズ低減策

## ■ プロセスによる対策

### ● Deep well の使用

プロセス・オプションとして Deep well を利用可能な場合は使用を検討します。これは P 型基板プロセスの場合、Deep N-well を使用する事により IC チップ内の回路ブロック間の GND 同士の DC 的結合をカットするものです。数 10MHz～数 100MHz の動作周波数を持つ IC に対して特に効果的とされ、2GHz 程度まで効果があるようです（それ以上は容量結合の効果が優勢となり効果が薄れます）。10bit 程度以上の精度を必要とする中高速アナログ IP を搭載する場合には使用を検討すべきでしょう。デジタル出力 IO セルへの使用も大きな効果があります。

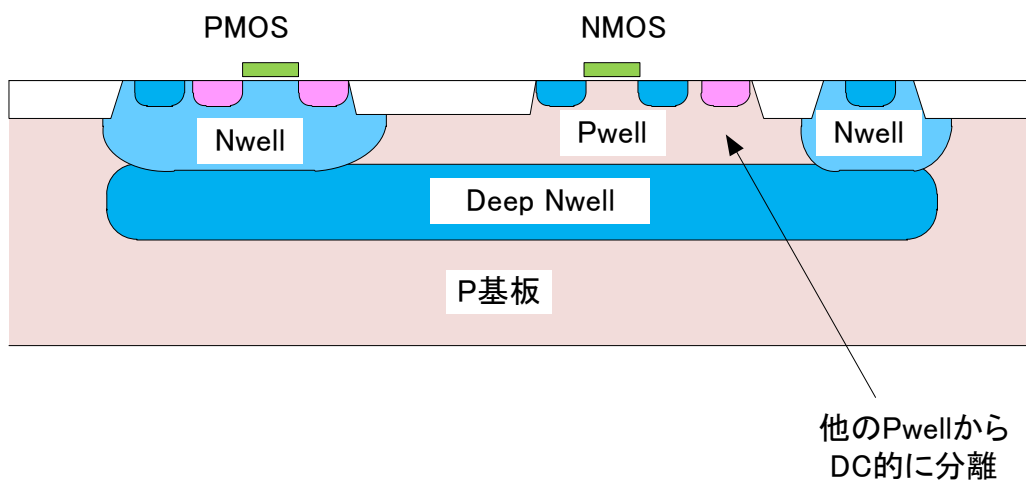


図 4 Deep N-well による電源分離 (P 型基板の場合)

## ■ レイアウトによる対策

### ● アナログ回路の配置

アナログ回路ブロックはチップ周辺部に配置します。その際、コーナーに配置するかエッジ中心付近に配置するかの問題が出てきます。それぞれにメリット・デメリットがあるので要求仕様を勘案して決定します。

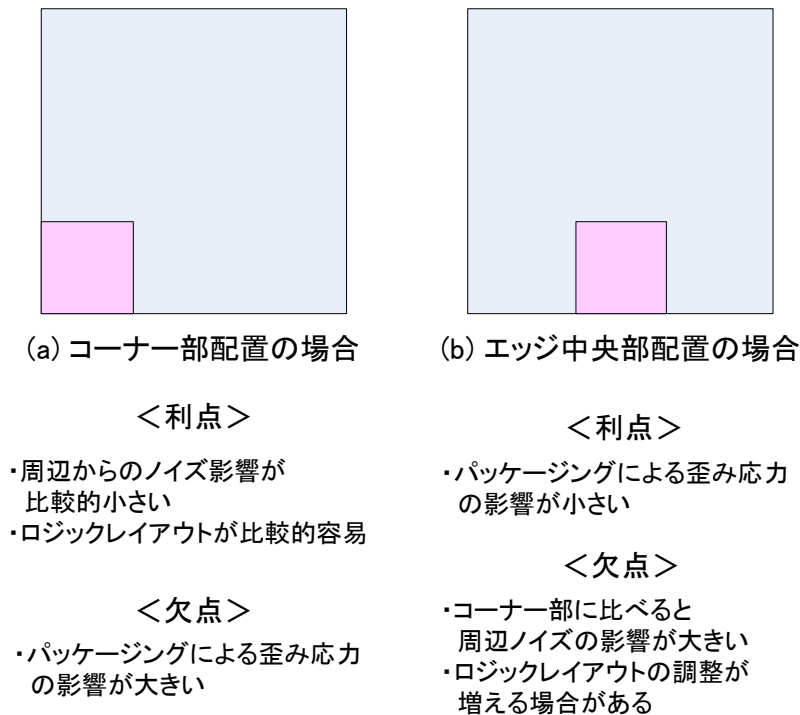


図 5 アナログ回路ブロックの配置位置による違い

### ● メモリー回路の配置

演算、信号処理などを行うデジタル回路は一般にスイッチング・タイミングの分布がまばらになり、ホワイトノイズに近いものとして扱うことができる場合が多いのに対し、大容量のメモリーはロウアクセス、カラムアクセス等により大量のスイッチングを同時に行うためノイズ成分が集中し、アナログ回路に悪影響を及ぼす場合があります。このため高速動作かつ大容量のメモリーブロックはアナログブロックから極力離して配置するようにします。

### ● 意外に効果のないガードリング？

基板からのノイズ対策としてしばしば使用される電源/GND配線による2重リング配線ですが、”シリコン基板においてデジタル部からアナログ部への電源ノイズを抑える”という点では大きな効果はないと報告されています。但し、ESD耐性の強化、デジタル部とアナログ部の距離の確保、という効果がありますので積極的に使用すべきです。

## ● IO セルの配置

デジアナ混載における IO セル配置のポイントは以下の通りです

1. 外部デジタル出力とアナログ部は極力離す
2. デジタル部とアナログ部の間で電源リングをカットする
3. アナログ電源とデジタル電源は別に用意する

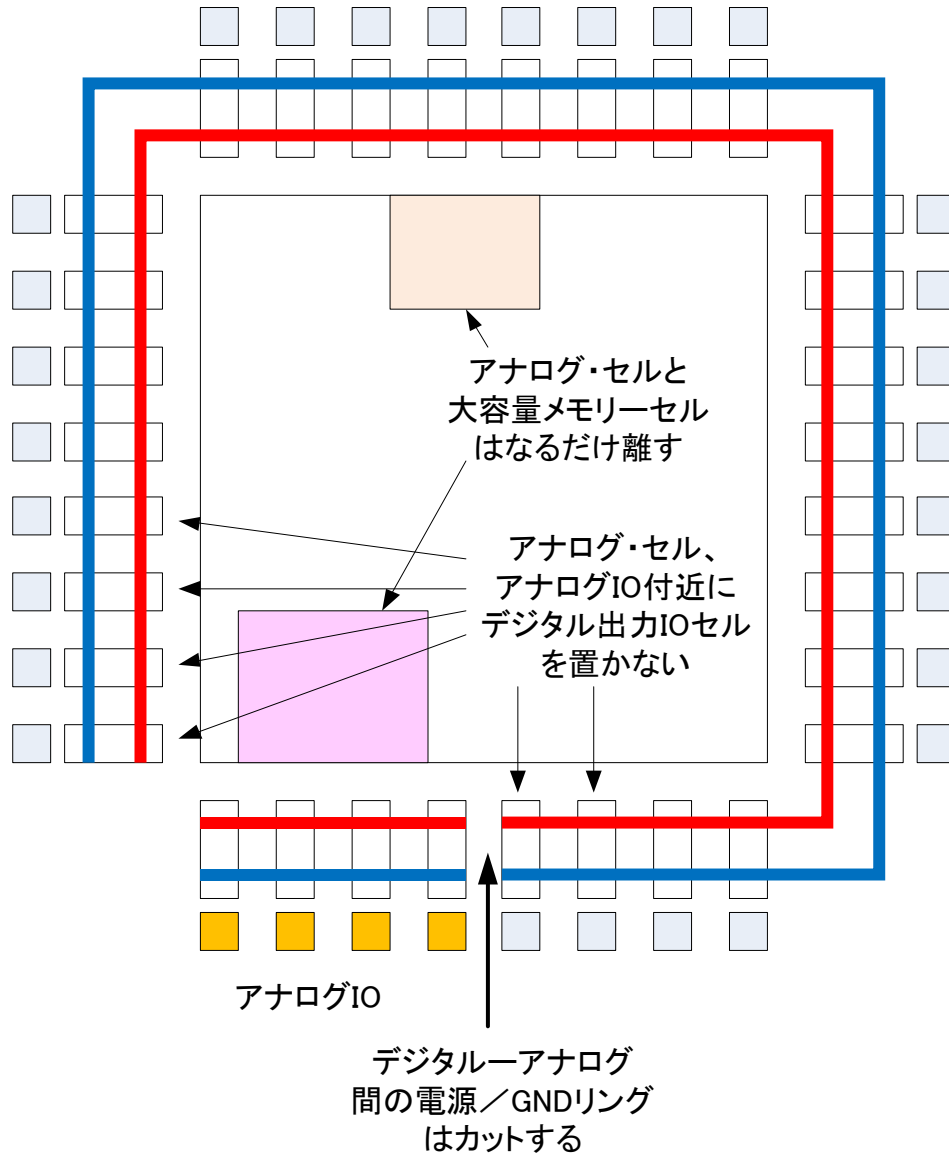


図 6 IO セル・レイアウト、チップレイアウトに関する注意事項